

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-242242

(43) 公開日 平成11年(1999) 9月7日

(51) Int.Cl.⁶

G 0 2 F 1/136
1/1333

識別記号

5 0 0
5 0 5

F I

G 0 2 F 1/136 5 0 0
1/1333 5 0 5

審査請求 未請求 請求項の数10 O L (全 20 頁)

(21) 出願番号 特願平10-298967

(22) 出願日 平成10年(1998) 10月20日

(31) 優先権主張番号 特願平9-355824

(32) 優先日 平 9 (1997) 12月24日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 田中 匡社

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 長島 伸悦

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 藤原 敏昭

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 弁理士 山本 秀策

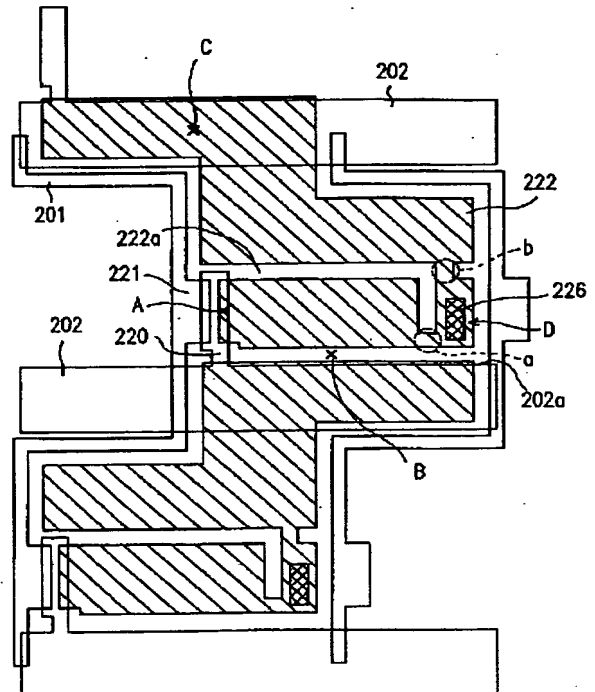
最終頁に続く

(54) 【発明の名称】 反射型液晶表示装置

(57) 【要約】 (修正有)

【課題】 層間絶縁膜の下地が層間絶縁膜に与える影響に起因する表示ムラの発生を防止できる反射型液晶表示装置を提供する。

【解決手段】 複数のデータ信号線201と複数の走査信号線202と信号線と電気的に接続して複数の薄膜トランジスタが設けられ、複数のデータ信号線および複数の走査信号線あるいは複数の薄膜トランジスタの少なくとも一部を覆って設けられた層間絶縁膜の上に複数の反射画素電極が設けられていると共に、複数の反射画素電極が層間絶縁膜に設けられたコンタクトホール226を介して複数の薄膜トランジスタのドレイン電極222と電気的に接続されており、層間絶縁膜と一方の基板との間の熱伝導および/または光透過および/または層間絶縁膜の一方の基板との密着性を、複数の反射画素電極のうちの少なくとも1つの反射画素電極が形成される領域で均一にするための下地膜が層間絶縁膜の下に接して配置されている。



【特許請求の範囲】

【請求項 1】 液晶層を挟んで対向配設された一対の基板の一方の基板上に、データ信号を供給する複数のデータ信号線と、走査信号を供給する複数の走査信号線とが交差する状態で配線され、且つ、該複数のデータ信号線と該複数の走査信号線と信号線と電氣的に接続して複数の薄膜トランジスタが設けられ、該複数のデータ信号線および該複数の走査信号線あるいは該複数の薄膜トランジスタの少なくとも一部を覆って設けられた層間絶縁膜の上に複数の反射画素電極が設けられていると共に、該複数の反射画素電極が該層間絶縁膜に設けられたコンタクトホールを介して該複数の薄膜トランジスタのドレイン電極と電氣的に接続されている反射型液晶表示装置において、
該層間絶縁膜と該一方の基板との間の熱伝導および／または光透過および／または該層間絶縁膜の該一方の基板との密着性を、該複数の反射画素電極のうちの少なくとも 1 つの反射画素電極が形成される領域で均一にするための下地膜が該層間絶縁膜の下に接して配置されている、反射型液晶表示装置。

【請求項 2】 前記下地膜が前記薄膜トランジスタの前記ドレイン電極から構成されており、
該ドレイン電極は、その外縁の一部から内部に連なる電極非形成部を有すると共に該電極非形成部に 1 本の導電路を構成し、かつ、その導電路を構成するドレイン電極の途中に前記コンタクトホールを介して前記反射画素電極との電氣的接続部を有し、
一本の導電路を構成する該ドレイン電極の、該電氣的接続部の薄膜トランジスタ側である導電路上流側と該電氣的接続部の薄膜トランジスタと反対側である導電路下流側との各々に、該電極非形成部と該ドレイン電極の外縁との間の幅を狭くしているくびれ部を少なくとも 1 つ備えるよう形成されている請求項 1 に記載の反射型液晶表示装置。

【請求項 3】 前記電氣的接続部を挟んで設けられた一方のくびれ部と他方のくびれ部との位置が、各々のくびれ部を該電氣的接続部に接近させた位置に設定されている請求項 2 に記載の反射型液晶表示装置。

【請求項 4】 前記下地膜が前記薄膜トランジスタの前記ドレイン電極から構成されており、且つ、該ドレイン電極の面積が、前記反射画素電極の面積の 50%以上 95%以下である、請求項 1 に記載の反射型液晶表示装置。

【請求項 5】 前記ドレイン電極の面積が、前記反射画素電極の面積の 60%以上 95%以下である、請求項 4 に記載の反射型液晶表示装置。

【請求項 6】 前記下地膜が、前記薄膜トランジスタの前記ドレイン電極と、該ドレイン電極と電氣的に絶縁されている少なくとも 1 つの島状薄膜とから構成されており、

且つ、該ドレイン電極の面積と該少なくとも 1 つの島状薄膜の面積とを合わせた面積が、前記反射画素電極の面積の 40%以上 90%以下である、請求項 1 に記載の反射型液晶表示装置。

【請求項 7】 前記ドレイン電極の面積と前記少なくとも 1 つの島状薄膜の面積とを合わせた前記面積が、前記反射画素電極の面積の 50%以上 90%以下である、請求項 6 に記載の反射型液晶表示装置。

【請求項 8】 前記ドレイン電極と前記少なくとも一つの島状薄膜とが同じ材料から形成される、請求項 6 または 7 のいずれかに記載の反射型液晶表示装置。

【請求項 9】 前記層間絶縁膜の下に接して形成される前記下地膜は、該層間絶縁膜の上に形成される前記反射画素電極の形状に対応するように形成されている、請求項 1 から 7 のいずれかに記載の反射型液晶表示装置。

【請求項 10】 前記下地膜の少なくとも一部が、補助容量を形成する電極の一部である、請求項 1 から 7 のいずれかに記載の反射型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばコンピュータや AV 機器などの表示装置として用いられているアクティブマトリクス型の反射型液晶表示装置に関する。

【0002】

【従来の技術】一般に、スイッチング素子を有する液晶表示装置の電極構造では、液晶層を駆動する画素駆動用の画素電極以外に補助容量を形成する補助容量電極が設けられている。ここで、基板上に層間絶縁膜を介して画素電極が設けられている場合は、層間絶縁膜の膜厚が厚いため、その下方に補助容量電極部が設けられている。

【0003】図 24 は、上述した液晶表示装置の構成の一例を示す図であり、図 24 (a) はその平面図を示し、図 24 (b) は液晶表示装置が有するスイッチング素子としての薄膜トランジスタ (TFT) 部分における断面図である。図示した液晶表示装置は、特開平 9-152625 号公報に記載されている例である。

【0004】図 24 において、基板 31 上に TFT 24 が設けられ、この TFT 24 のドレイン電極 36b に接続して下地電極 25 が形成されている。この下地電極 25 は、ドレイン電極 36b と一体化されている場合にはドレイン電極として称されることもある。この上を覆って層間絶縁膜 38 が形成され、層間絶縁膜 38 上に形成された画素電極 21 が、層間絶縁膜 38 に設けたコンタクトホール 26 を介して下地電極 25 と電氣的に接続されている。また、前記下地電極 25 は画素領域 50 の中央部にまで延びており、その先端部を構成する補助容量電極 25a が、TFT 24 の一部を構成するゲート電極 32 を覆うゲート絶縁膜 33 の下側に形成した補助容量配線 27 と対向するように形成されている。ゲート絶縁膜 33 を介して補助容量配線 27 と補助容量電極 25a

とが対向する部分において補助容量が形成される。下地電極 2 5 は、補助容量を形成することが目的であるため、補助容量電極 2 5 a 以外の部分では狭幅に形成されている。

【0005】

【発明が解決しようとする課題】ところが、このように画素電極 2 1 の下に設けられる下地電極 2 5 が、画素領域 5 0 に対して局所的に、従って、画素電極 2 1 の形状に対応しない形状で形成されている場合には、下地電極 2 5 が存在している所と存在していない所とで、製造プロセスにおいて層間絶縁膜 3 8 の受ける影響が異なることがある。このため、得られる層間絶縁膜 3 8 の厚さが一様でなくなり、その上に形成された画素電極 2 1 は、所望の形状に形成されないことがある。反射型液晶表示装置の場合には画素電極である反射電極が一様に形成されず、反射特性にムラが観察される。特に、製造プロセスにおける熱処理工程を経て層間絶縁膜 3 8 の上表面が凹凸形状となるようにする場合、その下側に下地電極 2 5 が存在している所と、下地電極 2 5 の存在していない所とでの熱電導率の違いが上側に存在する層間絶縁膜 3 8 の上表面の形状に反映され、その結果、表示ムラを引き起こしていた。

【0006】また上述の問題とは別に、スイッチング素子を形成したアクティブマトリクス基板では、製造工程中に不良が発生する虞れがあり、ライン欠陥や輝点やフリッカなどの表示不良が生じていた。このため、歩留まりを向上させるべく種々の欠陥修正技術が開発されてきた。そして、単独で、あるいは、数種類の欠陥修正技術を組み合わせて実施することで、量産効率を向上させることが行われていた。

【0007】図 2 5 は、第 1 の先行技術、具体的には、補助容量の構造を利用した欠陥修正技術の例である（特公平 4 - 7 3 5 6 9 号公報に開示）。

【0008】この第 1 の先行技術は、以下のように行われる。すなわち、現在、選択レベルにある走査信号線 2 0 2 によりスイッチング素子である MOS 型トランジスタ 2 0 8 がオン状態となり、データ信号線 2 0 1 の信号が画素電極 2 0 6 に充電される。このとき、図 2 6 の回路図に示すように、データ信号線 2 0 1 の信号が、MOS 型トランジスタ 2 0 8 を通じて、液晶容量 2 0 4 と補助容量 2 0 5 とに充電される。これによって、液晶層の容量が低下した場合や、画素サイズを小さくして寄生容量の影響が大きくなった場合に、補助容量 2 0 5 で液晶容量 2 0 4 を補うことができる。液晶容量 2 0 4 は、画素電極 2 0 6 と、液晶層を挟んで画素電極 2 0 6 と対向して設けられた対向基板上的対向電極（不図示）との間に形成される容量である。一方、補助容量 2 0 5 は、画素電極 2 0 6 と非選択レベルにある走査信号線 2 0 2 との間にゲート絶縁膜を介在させて形成した容量である。

【0009】このとき、画素電極 2 0 6 と非選択レベル

の走査信号線 2 0 2 とを重ねた部分（補助容量 2 0 5）において、製造工程中に介在されるゲート絶縁膜にピンホールが発生した場合、画素電極 2 0 6 と非選択レベルの走査信号線 2 0 2 とが導通するので、データ信号が画素電極 2 0 6 に適切に印加されない状態になる。この場合、その画素が点灯したまま、あるいは、全く点灯しないといった極端な欠陥状態が生じる。このことを防止するためには、補助容量電極 2 0 7（画素電極 2 0 6 の走査信号線 2 0 2 と重なる部分）の一部を除いて、スリット 2 1 0 によってその他の画素電極部分から分離しておく。これにより、ピンホールが発生した場合にも、後の修正工程でスリット 2 1 0 によって設けられたくびれ部をレーザなどで切断し、補助容量電極 2 0 7 とその他の画素電極部分とを完全に分離させることにより、その画素が点灯したまま、あるいは、全く点灯しないといった極端な欠陥状態ではなく、データ信号線からの信号によって一応コントロールされる状態（補助容量は持たないが、データ信号によって駆動され得る状態）となり、改善効果が得られる。

【0010】図 2 7 を参照して第 2 の先行技術である、MOS 型トランジスタ 2 0 8 における、データ信号線 2 0 1 と走査信号線 2 0 2 とがショートした場合に生じるライン欠陥の修正技術を説明する（特公平 3 - 5 5 9 8 5 号公報に開示）。

【0011】図 2 7（a）に示す破線に沿って、走査信号線 2 0 2 から分岐しているゲート電極 2 2 0 を、走査信号線 2 0 2 よりレーザで切り離す。その後、図 2 7

（b）に示すように基板の上方から矢印ホおよびへの位置にレーザ照射を行う。これにより、切り離されたゲート電極 2 2 0 を介し、ソース電極 2 2 1 とドレイン電極 2 2 2 とをショートさせる。その結果、データ信号の平均的な電圧が画素電極 2 0 6 に加わり、欠陥の存在を目立たなくする。

【0012】しかし、上述の欠陥修正技術は、透過型の液晶表示装置を前提としてなされた技術であり、次のような問題点があった。すなわち、その一つは、TFT 素子の近傍でレーザ照射を行うため、他の膜に悪影響が及ぶことがあり、修正が成功しない場合があった。

【0013】他の一つは、欠陥のない画素については、TFT 素子の構造（ゲート電極とドレイン電極との重なる部分で発生する寄生容量）に起因する走査信号による引き込み（電圧降下）を含む電圧が液晶層に印加されるのに対し、欠陥画素については、欠陥修正後にもソース電極 2 2 1 とドレイン電極 2 2 2 とがショートしているため、引き込みによる電圧降下が発生せず、欠陥画素に対応する液晶層にはデータ信号が直接印加されることである。このため、特に、ノーマリブラックモードや、急峻な閾値特性を有する液晶表示モードにおいては、欠陥のない画素と欠陥修正後の画素とで、同じ信号を印加した場合にも上記引き込みによる電圧降下に依存して液晶

層の光学特性が大きく異なってしまう、欠陥修正の効果があまり得られなかった。

【0014】本発明は、このような従来技術の課題を解決すべくなされたものであり、画素領域に対して局所的に設けられた下地電極に起因する表示ムラの発生を防止できる反射型液晶表示装置を提供することを目的とする。

【0015】本発明の他の目的は、製造工程で発生した画素欠陥を修正することができる反射型液晶表示装置を提供することである。

【0016】

【課題を解決するための手段】本発明の反射型液晶表示装置は、液晶層を挟んで対向配設された一対の基板の一方の基板上に、データ信号を供給する複数のデータ信号線と、走査信号を供給する複数の走査信号線とが交差する状態で配線され、且つ、該複数のデータ信号線と該複数の走査信号線と信号線と電氣的に接続して複数の薄膜トランジスタが設けられ、該複数のデータ信号線および該複数の走査信号線あるいは該複数の薄膜トランジスタの少なくとも一部を覆って設けられた層間絶縁膜の上に複数の反射画素電極が設けられていると共に、該複数の反射画素電極が該層間絶縁膜に設けられたコンタクトホールを介して該複数の薄膜トランジスタのドレイン電極と電氣的に接続されている反射型液晶表示装置において、該層間絶縁膜と該一方の基板との間の熱伝導および／または光透過および／または該層間絶縁膜の該一方の基板との密着性を、該複数の反射画素電極のうちの少なくとも1つの反射画素電極が形成される領域で均一にするための下地膜が該層間絶縁膜の下に接して配置されており、そのことにより上記目的を達成する。

【0017】前記下地膜が前記薄膜トランジスタの前記ドレイン電極から構成されており、該ドレイン電極は、その外縁の一部から内部に連なる電極非形成部を有すると共に該電極非形成部に1本の導電路を構成し、かつ、その導電路を構成するドレイン電極の途中に前記コンタクトホールを介して前記反射画素電極との電氣的接続部を有し、一本の導電路を構成する該ドレイン電極の、該電氣的接続部の薄膜トランジスタ側である導電路上流側と該電氣的接続部の薄膜トランジスタと反対側である導電路下流側との各々に、該電極非形成部と該ドレイン電極の外縁との間の幅を狭くしているくびれ部を少なくとも1つ備えるよう形成されていてもよい。ここで、前記電氣的接続部を挟んで設けられた一方のくびれ部と他方のくびれ部との位置が、各々のくびれ部を該電氣的接続部に接近させた位置に設定されていることが望ましい。

【0018】前記下地膜が前記薄膜トランジスタの前記ドレイン電極から構成されており、且つ、該ドレイン電極の面積が、前記反射画素電極の面積の50%以上95%以下であってもよく、前記ドレイン電極の面積が、前

記反射画素電極の面積の60%以上95%以下であることが望ましい。

【0019】前記下地膜が、前記薄膜トランジスタの前記ドレイン電極と、該ドレイン電極と電氣的に絶縁されている少なくとも1つの島状薄膜とから構成されており、且つ、該ドレイン電極の面積と該少なくとも1つの島状薄膜の面積とを合わせた面積が、前記反射画素電極の面積の40%以上90%以下であってもよく、前記ドレイン電極の面積と前記少なくとも1つの島状薄膜の面積とを合わせた前記面積が、前記反射画素電極の面積の50%以上90%以下であることが望ましい。

【0020】前記ドレイン電極と前記少なくとも一つの島状薄膜とが同じ材料から形成されていてもよい。

【0021】前記層間絶縁膜の下に接して形成される前記下地膜は、該層間絶縁膜の上に形成される前記反射画素電極の形状に対応するように形成されていてもよい。

【0022】前記下地膜の少なくとも一部が、補助容量を形成する電極の一部であってもよい。

【0023】以下、本発明の作用について説明する。

【0024】本発明にあっては、層間絶縁膜と基板との間の熱伝導および／または光透過および／または層間絶縁膜の基板との密着性を、複数の反射画素電極のうちの少なくとも1つの反射画素電極が形成される領域で均一にするための下地膜が層間絶縁膜の下に接して配置されているので、層間絶縁膜に接して設けられる下地膜によって、層間絶縁膜形成工程における部分的に熱伝導率に違いが発生するのを防止、または抑制することが可能となる。その結果、下地膜の上側に設けられる層間絶縁膜の製造工程中の各部の各工程で受ける条件が均一化され、層間絶縁膜の上表面を所望の凹凸形状にすることができ、よって、層間絶縁膜の上に設けられる反射画素電極も所望の凹凸形状にすることが可能となつて、反射特性にムラが発生しないようにすることができる。また、例えば紫外線照射だけで感光性材料からなる層間絶縁膜に凹凸を形成する場合でも、層間絶縁膜における下地膜が存在する箇所と下地膜が存在しない箇所との紫外線の受ける強さ、現像液などの染み込みなどの各条件を揃えることが可能となるため、画素電極の形状変動を受け難くすることができる。また、層間絶縁膜の上表面を凹凸にせずに平坦にする場合であっても、上述のような下地膜が形成されているので、層間絶縁膜における下地膜が存在する箇所と下地膜が存在しない箇所との紫外線の受ける強さ、現像液などの染み込みなどの各条件を揃えることが可能になることはもちろんのこと、層間絶縁膜の両箇所での高さを揃えたり、層間絶縁膜の膜質も均一にすることが可能となるため、下地からの影響による画素電極の形状変動を受け難くすることができる。

【0025】また、反射型液晶表示装置においては、画素電極が金属等からなるため、画素電極の下方部の構成は表示に影響されない。したがって、本願発明者らは、

反射型液晶表示装置に特有の、欠陥修正に都合のよい画素電極下方部の構成を見出した。

【0026】すなわち、欠陥修正は以下のように行う。データ信号線または走査信号線とドレイン電極とのショート位置に応じて、従来技術の箇所の説明したように、ゲート電極を走査信号線から切り離し、かつ、ソース電極とドレインとをショートさせる修正を行うか、または、ショート位置に応じた所定のくびれ部を切断する修正を行う。

【0027】このとき、くびれ部を電氣的接続部に接近させて設けておくと、電氣的接続部に近い箇所での切断が可能となり、くびれ部と電氣的接続部との間にショートした箇所が残って欠陥修正を完全なレベルで行えないようになるのを、より確実に防止できる。また、接近させる最小距離としては、電氣的接続部からくびれ部を6 μm 離すようにするのが好ましい。その理由は、コンタクトホール形状、コンタクトホールを形成する際に生じるパターンの位置合わせずれが約3 μm であり、また、レーザ照射によるドレイン電極と画素電極との間に介在する層間絶縁膜へ影響が及ぶ距離が約3 μm であるからである。

【0028】また、下地膜をドレイン電極で形成することにより、新たな成膜工程を増やすことなく、層間絶縁膜への影響を均一化する下地膜が得られる。この時ドレイン電極の面積を、反射画素電極の面積の50%以上95%以下、好ましくは60%以上95%以下に設定することにより、周囲のデータ信号線とショートする可能性も低減できる。

【0029】また、下地膜を、ドレイン電極と、ドレイン電極と電氣的に絶縁されている少なくとも1つの島状薄膜とから構成することにより、下地膜の形状、配置についての可撓性をより高く設定することができる。また、このようにドレイン電極と電氣的に絶縁された島状薄膜とを含むように下地膜を構成することにより、周囲のデータ信号線などのショートが生じた場合にも、画素電極に影響しない可能性を高くできる。従って、欠陥画素として修正する工程を減らすことができ、良品率を向上できる。この時、ドレイン電極の面積と島状薄膜の面積とを合わせた面積を、反射画素電極の面積の40%以上90%以下、好ましくは50%以上90%以下に設定することにより、欠陥画素の発生をより確実に低減することができる。

【0030】また、ドレイン電極と島状薄膜とを同じ材料で形成することにより、ドレイン電極と島状薄膜とを同じ工程で形成することができる。

【0031】また、層間絶縁膜の下に接して形成される下地膜を、層間絶縁膜の上に形成される反射画素電極の形状に対応するように形成することにより、より確実に層間絶縁膜への影響を均一化することができる。

【0032】本発明の下地膜の少なくとも一部が補助容

量を形成する電極の一部であるように構成した場合にも、層間絶縁膜への影響を均一化することができ、補助容量を大きく確保することが可能である。

【0033】

【発明の実施の形態】以下に、本発明の詳細な実施形態を説明する。

【0034】（実施形態1）図1は実施形態1に係る反射型液晶表示装置を示す断面図であり、図2はその反射型液晶表示装置が有するTF T部分を拡大して示す断面図、図3はデルタ配列の2画素部分のTF T、ドレイン電極、データ信号線および走査信号線を示す平面図、図4は図3に反射画素電極を更に加えて示す平面図である。本実施形態においては、ビデオや静止画像の画像表示を行うのに利点が多い、画素がデルタ配列する形態を例示している。

【0035】この反射型液晶表示装置は、電圧無印加時に暗表示を行うノーマリブラックの表示モードで動作する。図1に示すように、液晶層254を挟んで一对の基板である第1基板250と第2基板230とが設けられている。第1基板230の上には、走査信号線202（図3参照）と、その走査信号線202から分岐したゲート電極220とが設けられている。その上に、ゲート絶縁膜240がほぼ基板全面に形成されている。

【0036】ゲート絶縁膜240の上であって、TF T形成部分には、半導体層223が設けられ、その上に半導体層223上で分断された状態でコンタクト層224が形成されている。その上には、一方のコンタクト層224の一部を重畳させてソース電極221が設けられ、他方のコンタクト層224の一部を重畳させてドレイン電極222が設けられている。ソース電極221は、図3に示すように、データ信号線201から分岐して設けられている。また、ドレイン電極222は、図3に示すように、走査信号線202の上側の境界線（上辺部）202aとデータ信号線201とで囲まれた領域とほぼ同じ形状かつほぼ同じ大きさに形成されている。すなわち、従来のように画素領域の一部のみにドレイン電極が形成されるのではなく、画素領域全体に対応するようにドレイン電極が形成される。ここで、ドレイン電極222と走査信号線202との間にはゲート絶縁膜240が存在するので、図3に示すようにドレイン電極222を走査信号線202に重畳させることが可能である。このとき、ドレイン電極222と、そのドレイン電極222に関連する走査信号線202の一本隣の走査信号線である、一つ前にゲート信号を送るための走査信号線202との重畳部分で補助容量部が形成されている。この補助容量部は、いわゆるCs on Gateの構造となっている。一方、ドレイン電極222とデータ信号線201とは、同一工程にて同一高さレベルで両者が形成される故に、これらの間には間隔を設けて離隔し、ショートを防止する構成になっている。

【0037】これらの上には、ほぼ基板全面に一部を除いて上表面が凹凸状の層間絶縁膜234が形成され、この層間絶縁膜234における前記ドレイン電極222の上部に、コンタクトホール226が設けられている。本実施形態において、層間絶縁膜234は、凹凸部234aと、これを覆う絶縁膜234bとによって構成されている。ただし、他の実施形態においては、層間絶縁膜234は、凹凸部を有する1層の層間絶縁膜で形成されていてもよい。この凹凸部234aは、反射画素電極が鏡面状態となることによって表示装置外からの光を完全に正反射することを防止するように、反射電極にある程度の凹凸を与え、拡散反射を生じさせるために設けられている。上記層間絶縁膜234の上には凹凸状の反射画素電極235が設けられ、この反射画素電極235の一部は、コンタクトホール226に充填されてドレイン電極222と電気的に接続されている。

【0038】反射画素電極235の形成領域を図4に示す。図から理解されるように、反射画素電極235が形成された領域の下には、ドレイン電極222がほぼ領域全体にわたって形成されている。従って、ドレイン電極をその上に形成される層間絶縁膜234（凹凸部234aおよび絶縁膜234b）のための下地膜として考えた場合、本実施形態におけるドレイン電極222は、層間絶縁膜の少なくとも反射画素電極が形成された領域のほぼ全域に対して設けられた下地膜である。このように、ドレイン電極222を従来に比べて拡大して形成することにより、同じ材料で形成された層間絶縁膜のための下地膜を得ることができる。反射画素電極235上には、液晶分子の配向状態を制御するための配向膜253が形成されている。

【0039】なお、図3や図4で示す部分は2画素領域分であり、画素をデルタ配列させている本実施形態においては、これらを1単位として繰り返し形成して、アクティブマトリクス基板236が作製される。

【0040】液晶層254を挟んで第1基板230と対向して設けられる第2基板250には、例えばITO（インジウム錫酸化物）からなる対向電極としての透明電極251が設けられ、その上には配向膜252が設けられている。この状態の基板は、対向基板237と称されている。

【0041】このように構成された本実施形態1の反射型液晶表示装置における、アクティブマトリクス基板側の製造工程を図2、図5および図6を用いて順に説明する。

【0042】まず、図2に示すTFTの完成までの製造工程について説明する。ガラス等からなる基板230上に、例えばスパッタリング法を用いてTa膜を形成した。膜厚は500nmとした。これをフォトリソグラフィを用いてパターニングすることにより、走査信号線202とゲート電極220とを形成する。

【0043】次に、ゲート絶縁膜240、半導体層223およびコンタクト層224を、例えばプラズマCVD法を用いてそれぞれの材料を薄膜形成し、パターニングすることにより形成した。それぞれの材料は、SiNx、アモルファスSi、n⁺アモルファスSiであり、膜厚はそれぞれ300nm、100nm、80nmとした。ゲート絶縁膜240は、例えば装置の表示部周辺に位置する端子部において除去され、走査信号線202とのコンタクトがとれるようにされる。

【0044】次に、スパッタリング法によりTa膜を薄膜形成し、これをパターニングしてデータ信号線201、ソース電極221およびドレイン電極222を形成する。このとき、ドレイン電極222は、図3に示す形状とした。

【0045】次に、TFTのチャネル部分（ソース電極222ードレイン電極221間）のコンタクト層225をエッチング等を用いて取り除くパターニングを行い、図2に示すTFTを完成させた。

【0046】以下に、反射画素電極を形成するまでの工程について、図5および図6を参照して説明する。図5(a)に示すように、既に形成したゲート絶縁膜240およびドレイン電極222の上に、レジスト材料として、例えばポジ型のOFPR-800（東京応化社製）を用いて、好ましくは500r.p.m.～3000r.p.m.でスピコートする。本実施形態では2000r.p.m.で30秒塗布し、レジスト膜231を厚さ1.0μmに成膜した。

【0047】次に、ホットプレートによりプリベークを30秒行った。

【0048】次に、図6に示すランダムな位置および大きさに配置された円形の遮光部245を有するフォトマスク241を、図5(b)に示すように基板230に平行に配置して露光を行う。

【0049】次に、レジスト膜231に対して現像を行い、円形の遮光部245に対応する、図5(c)に示すような角の尖った部分を有する凸部232を形成した。なお、現像液には東京応化社製のNMD-3（2.38%）を使用した。

【0050】次に、図5(d)に示すように、120℃～250℃で熱処理を行い、滑らかな凸形状部を含む前記凹凸部234aを形成し、熱硬化を行う。本実施形態では、250℃で30分の熱処理を行った。

【0051】次に、図5(e)に示すように、その上に、絶縁膜234bを形成する。絶縁膜234bにはレジスト材料として、例えばOFPR-800（東京応化社製）を用い、好ましくは500r.p.m.～3000r.p.m.でスピコートする。本実施形態では2500r.p.m.で30秒塗布し、レジスト膜を厚み0.7μm成膜した後、凹凸形状形成工程と同様、250℃で30分の熱処理を行い、熱変形および熱硬化を行

った。

【0052】次に、露光および現像を行うことにより、層間絶縁膜234（凹凸部234aおよび絶縁膜234b）をパターンニングしてドレイン電極222の上方部にコンタクトホール226を形成すると共に、端子部分の層間絶縁膜234にコンタクトホール（図示せず）を設ける。

【0053】次に、図5（f）に示すように、その上表面に金属薄膜からなる反射画素電極235を形成した。金属薄膜としては、Al、Ni、Cr、Agなどを使用することができ、金属薄膜の厚さは0.01μm～1.0μm程度が適している。本実施形態ではAlを真空蒸着することにより、図4に示す平面形状の反射画素電極235を形成した。その上に、ポリイミドなどを塗布した後、焼成することによって、配向膜253を形成する。以上によりアクティブマトリクス基板236が完成した。

【0054】一方、対向基板237側の製造は、以下のように行う。

【0055】図1に示される第2基板250上に、ITOからなる透明電極251を厚さ1000オングストロームで形成する。その上に、ポリイミドなどを塗布した後、焼成することによって、配向膜252を形成する。これらは公知の技術を用いて行うことができる。

【0056】次に、アクティブマトリクス基板236または対向基板237の一方に、例えば、直径7μmのスペーサーを混入した接着性シール剤をスクリーン印刷した後、両基板を貼り合わせることで、液晶を封入する空間が形成される。この空間を真空脱気することによって液晶材料が注入されて液晶層254が形成される。液晶材料としては、例えば黒色色素を混入したゲストホスト液晶（メルク社製、商品名ZLI4792）に、光学活性物質（メルク社製、商品名S811）を4.5%混入したものを用いる。出来上がった反射型液晶表示装置はノーマリブラックの表示モードである。

【0057】したがって、本実施形態による反射型液晶表示装置は、上述したように、ドレイン電極222を、図3に示すように、走査信号線202の上辺部202aとデータ信号線201とで囲まれた領域とほぼ同じ形状かつほぼ同じ大きさに形成している。換言すれば、ドレイン電極222をできるだけ反射画素電極235の大きさと一致させている。例えば、本実施形態では、2.5インチ型の反射型液晶表示装置を作製し、ドレイン電極の反射画素電極に占める割合を最大占有率である80.7%に設定した。最大占有率は、画素サイズ、データ信号線とドレイン電極との最小抜き精度、ドレイン電極間の最小抜き精度により決定される。

【0058】上述したように、ドレイン電極222の形状を反射画素電極235の形状と対応させて形成しているため、ドレイン電極222の上に配される層間絶縁膜

234を、上述のようにして形成する際に、部分的に熱電導率に違いが発生するのを防止、または抑制することが可能となる。言い換えれば、本実施形態では、ドレイン電極が、層間絶縁膜の少なくとも反射画素電極235が形成されている領域において下地膜としてほぼ全域に対応して形成されているので、上記熱処理工程において、この領域においてレジスト234aおよび234bに与える熱をより均一にすることが可能である。その結果、層間絶縁膜234の製造工程中の各部の熱電導率が均一化され、層間絶縁膜234の上表面を所望の凹凸形状にすることができ、よって、層間絶縁膜234の上に設けられる反射画素電極235も所望の凹凸形状にすることが可能となっており、反射特性にムラが発生しないようにすることができる。なお、反射画素電極235は、反射部材で形成されているため、下地膜となるドレイン電極222の面積が大きくなっても、液晶表示装置の開口率を低下させることがない。

【0059】このような効果を得るためには、反射画素電極の面積に対するドレイン電極の面積を50%以上95%以下にすることが望ましく、60%以上95%以下にすることが更に望ましい。

【0060】なお、本実施形態においては、下地膜（ドレイン電極222）が層間絶縁膜234に与える影響として熱伝導の観点から説明したが、例えば、感光性樹脂を用いて層間絶縁膜を形成している場合、本実施形態においては下地膜としてのドレイン電極が反射画素電極に対応するように設けられているので、感光性樹脂からなる層間絶縁膜を均一に硬化させることができるという利点もえられる。従って、所望の形状に層間絶縁膜表面および反射画素電極表面を形成することが可能である。更に、本実施形態のドレイン電極上に形成される層間絶縁膜の密着性は均一にされるため、エッチング液のしみこみ等によって、層間絶縁膜が不均一に形成されることを低減することができる。

【0061】また、上記ドレイン電極222は、図3に示すように形成されている。すなわち、ドレイン電極222はその外縁の一部から内部に連なる電極非形成部222aを有する。この電極非形成部222aを設けたことによりドレイン電極222は1本の導電路を構成する。その導電路を構成するドレイン電極222の途中に、前記コンタクトホール226が位置しており、このコンタクトホール226を介して反射画素電極235とドレイン電極222との電気的接続が行われる。ここで、その電気的接続が行われる部分を電気的接続部Dとする。従って、本実施形態において、ドレイン電極222は、その途中に電気的接続部Dが設けられた一本の導電路を構成していると考えられる。電気的接続部DのTF側側である導電路上流側と電気的接続部Dの導電路下流側とのそれぞれに、電極非形成部222aとドレイン電極222の外縁との間の幅を狭くしているくびれ部

a、bを備えるよう形成されている。このように本実施形態のドレイン電極222は、電極非形成部222aを有しているので、TFTから供給される信号が、くびれ部aを介して電氣的接続部Dへと与えられ、電氣的接続部Dにおいて、反射画素電極235に供給されると共に、さらにくびれ部bを介してドレイン電極222の走査信号線と重なる領域（補助容量形成部）へと供給されるという流れを形成する導電路を構成している。すなわち、くびれ部aおよびbは、ドレイン電極222が形成する一本の導電路の、特に導電路幅が小さくされた部分として考えることができる。なお、くびれ部の数は、電*

* 電氣的接続部Dを基準とする導電路上流側と導電路下流側との各々に2以上設けるようにしてもよい。

【0062】このようにドレイン電極222が形成されているので、検査工程において反射型液晶表示装置に欠陥が発見されても、以下のような欠陥修正が可能となる。この欠陥修正の方法を下記の表1にまとめて示す。本実施形態の反射型液晶表示装置は、ノーマリブラックモードであるので、下記の表1のノーマリブラックの欄に示すように、欠陥場所に応じた修正を行う。

【0063】

【表1】

各欠陥場所での欠陥修正方法

表示モード	欠陥場所		切断箇所	下記の欠陥修正法（※）
ノーマリブラック	TFT部	A点	a点切断	行わない
	上流側（TFT部以外）	B点	a点切断	行わない
	下流側	C点	b点切断	行わない
	TFT部+下流側	A点+C点	a点+b点切断	行わない
	上流側（TFT部以外）+下流側	B点+C点	a点+b点切断	行わない
ノーマリホワイト	TFT部	A点	—	行う
	上流側（TFT部以外）	B点	欠陥箇所を切断	行わない
	下流側	C点	b点切断	行わない
	TFT部+下流側	A点+C点	b点切断	行う
	上流側（TFT部以外）+下流側	B点+C点	欠陥箇所+b点切断	行わない

※ TFT部において、ゲート電極を走査信号線から切り離し、ソース電極とドレイン電極とをショートさせる。

- ┌ A点：ゲート電極とドレイン電極がショート
- ├ B点：ドレイン電極と隣りのドレイン電極がショート
- └ C点：ドレイン電極と走査信号線（又はコモンライン）とショート

【0064】図3に示すように、TFT部のA点でゲート電極とドレイン電極とがショートしてTFTが正常動作をしなくなった場合、上流側のくびれ部aを切断する。これにより、反射画素電極235がドレイン電極222から切り離されて浮遊状態となって、非点灯画素となり欠陥を目立たなくすることが可能となる。

【0065】また、電氣的接続部Dの導電路上流側（TFT部以外）のB点でドレイン電極222と隣のドレイン電極222とがショートしている場合は、同様にくびれ部aを切断する。また、電氣的接続部Dの導電路下流側のC点でドレイン電極と走査信号線202とがショートした場合は、くびれ部bを切断する。また、TFT部のA点と下流側のC点とが共にショートしている場合、上流側のB点と下流側のC点とが共にショートしている場合は、くびれ部aとbの両方を切断する。

【0066】このように検査工程で発見された欠陥は、くびれ部aまたはくびれ部bをレーザー照射することにより修正されるので、表示特性にライン欠陥や輝点などの悪影響を及ぼすものは表示されず、反射型液晶表示装置

の量産効率を向上させることができた。また、電氣的接続部D、くびれ部aおよびくびれ部bを、図3において左右方向で隣り合う2つのスイッチング素子（TFT）の間の位置に、それぞれのTFTから距離を設けて配置した場合は、コンタクトホール形成工程、あるいはレーザー照射などの修正工程において、スイッチング素子に影響を与え難くできるので、修正の効率を向上させることが可能となる。なお、表1中の「下記の欠陥修正法」は、従来例の特公平3-55985号公報で説明したように、TFT部においてゲート電極を走査信号線から切り離し、ソース電極とドレイン電極とをショートさせる方法である。ノーマリブラックモードで動作する本実施形態の反射型液晶表示装置に対しては行わない。

【0067】なお、電氣的接続部Dを挟んで設けられた一方のくびれ部aと他方のくびれ部bとの位置は、各々のくびれ部a、bを電氣的接続部Dに接近させた位置に設定されている構成とすることが好ましい。その理由は、図7に示すように、くびれ部a、bを電氣的接続部Dから離れた場合、くびれ部a（またはb）と電氣的接続部Dとの間にあるドレイン電極部が、データ信号線ま

たは走査信号線等との間でショート（×にて示す）を発生させる確率が高くなり、この部分で発生したショートは、くびれ部 a（または b）を切断しても修正を行えない場合があるからである。但し、図 7 の構成であつても、表示ムラの発生防止や、欠陥の種類によるが、欠陥修正を行うことができ、本発明の範囲内に入る構成である。

【0068】但し、各々のくびれ部 a、b を電気的接続部 D から最小距離、約 $6 \mu\text{m}$ 離すのが好ましい。その理由は、コンタクトホール形状、コンタクトホールを形成する際に生じるパターンの位置合わせずれが約 $3 \mu\text{m}$ であり、また、レーザ照射によるドレイン電極と画素電極との間に介在する層間絶縁膜へ影響が及ぶ距離が約 $3 \mu\text{m}$ であるからである。

【0069】このように、最小距離に設定することで、ドレイン電極とデータ信号線、ドレイン電極と走査信号線においてリークが発生した場合においても修正できる可能性が高くなる。さらに、くびれ部 a、b は、信号線 201 または 202 から離して設置することにより、くびれ部の切断時、信号線への影響を小さくすることができる。

【0070】また、本発明のように、ドレイン電極を広く形成した場合、データ信号線とドレイン電極との間の隙間が小さくなり、データ信号線とドレイン電極のリーク発生頻度は高まるが、その隙間寸法を、例えば $4 \mu\text{m}$ の最小距離に設定することにより、修正が可能になる。

【0071】（実施形態 2）本実施形態は、ノーマリホワイトの表示モードの場合である。

【0072】図 8 は、本実施形態に係る反射型液晶表示装置の構成を示す断面図である。この反射型液晶表示装置の構成は、表示モードがノーマリホワイトモードである以外は実施形態 1 と同様であり、また、この反射型液晶表示装置において表示モードをノーマリホワイトモードとする工程以外の製造工程は、実施形態 1 と同様である。従って、実施形態 1 と同様に、本実施形態のアクティブマトリクス基板にも下地膜としてのドレイン電極が、反射画素電極に対応して、できるだけ大きくなるように形成されている。これにより、基板と層間絶縁膜の少なくともその上に反射画素電極が設けられている領域との間の熱伝導、光透過および層間絶縁膜の基板に対する密着性等が均一になるようにされている。

【0073】この反射型液晶表示装置の製造は、以下のように行われる。実施形態 1 と同様にして共に作製した対向基板 237 とアクティブマトリクス基板 236 とを、両基板間（セル内）に直径 $5.5 \mu\text{m}$ の球状スパーサーを配した状態で、シール剤で貼り合せた。その後、両基板内を真空脱気した後、液晶材料をセル内に注入し液晶層 254 を配設した。液晶材料としては、例えば、メルク社製 ZLI-4792 が用いられる。この液晶層 254 の屈折率異方性 Δn_1 は 0.094 であり、

リターデーション $\Delta n_1 \cdot d$ （ d ：セル厚）は、 517 nm である。その後、対向基板 237 の上に、光学位相差板 255 と偏光板 256 とを貼り合せて完成させた。出来上がった本実施形態の反射型液晶表示装置はノーマリホワイトモードである。

【0074】この反射型液晶表示装置においても、実施形態 1 の場合と同様の効果が得られる。但し、欠陥修正方法については、表示モードが異なる故に、変更する必要がある。以下、その欠陥修正内容を、前述した表 1 に基づいて具体的に説明する。

【0075】検査工程で発見された欠陥が、図 3 の TFT 部の A 点でゲート電極とドレイン電極とがショートした欠陥である場合には、従来例の特公平 3-55985 号公報に開示された修正方法、つまり TFT 部においてゲート電極を走査信号線から切り離し、ソース電極とドレイン電極とをショートさせる方法で修正を行う。これにより、画素電極は常にデータ信号の平均的な電圧が印加されるので、周囲に対して欠陥画素部が目立たなくなる。

【0076】また、電気的接続部 D の導電路上流側の B 点でドレイン電極 222 と隣のドレイン電極 222 とがショートしている場合は、欠陥箇所を切断し、特公平 3-55985 号公報に開示された修正方法は行わない。また、電気的接続部 D の導電路下流側の C 点でドレイン電極と走査信号線 202 とがショートした場合は、くびれ部 b を切断し、特公平 3-55985 号公報に開示された修正方法は行わない。これにより、走査信号線 202 から反射画素電極 235 を切り離すことができ、データ信号の平均的な電圧が印加されるようになるので、修正することができる。

【0077】また、TFT 部の A 点と下流側の C 点とが共にショートしている場合、くびれ部 b を切断し、かつ、特公平 3-55985 号公報に開示された修正方法を行う。上流側の B 点と下流側の C 点とが共にショートしている場合、その欠陥箇所とくびれ部 b とを切断し、特公平 3-55985 号公報に開示された修正方法は行わない。

【0078】このように修正することにより、表示特性にライン欠陥や輝点などの悪影響を及ぼすものは表示されず、反射型液晶表示装置の量産効率を向上させることができた。

【0079】（実施形態 3）本実施形態は、縦縞発生を発生し難くする場合である。

【0080】この縦縞発生は、図 4 に示す 2 種類の形状を有する画素領域を含む画素を 1 単位として繰り返し形成される、デルタ配列の複数の反射画素電極 235 からなる表示画面を、一定ピッチの縦方向の線で区分けして観察した場合に、カラー表示の場合、区分けした各領域で各色の占める割合に違いが検出されることに基づく。

その理由は、図 4 に示す 2 種類の反射画素電極 235 の

一方（図上側）のものを例に挙げて説明すると、走査信号線 202 の上に重畳している部分が、大部分を占める画素部分よりはみ出した状態となっているからである。このことは、特願平 9-285766 号に詳細に記載している。

【0081】そこで、図 9 に示すように TFT の位置を変えて、図 10 に示すよう反射画素電極 235 の形状を方形に近づけるような構造としている。図 9 は、ドレイン電極 222 の形状を示す平面図である。

【0082】したがって、この場合も、ドレイン電極 222 が画素の大きさに可及的に近づくように形成されているので、部分的に熱伝導率に違いが発生するのを防止、または抑制することが可能となり、表示ムラの発生を防止できる。また、この方形の画素構造を採用することで、縦縞発生が生じにくくなる。更に、この場合も、表示モードであるノーマリブラックモードまたはノーマリホワイトモードに応じて表 1 に示した修正を行うことで、欠陥を修正することができる。

【0083】（実施形態 4）本実施形態 4 は、上述した実施形態では補助容量を一つ前の走査信号線の上で形成している Cs on Gate の構造であるのに対し、走査信号線とは別にコモンラインを形成して、その上で補助容量を形成する場合である。

【0084】図 11 及び図 12 は、実施形態 1 の場合に対応するドレイン電極および反射画素電極をそれぞれ示している。また、図 13 及び図 14 は、実施形態 3 の場合に対応するドレイン電極および反射画素電極をそれぞれ示している。

【0085】図 11 ～図 14 に示す場合は、走査信号線 202 とは別に補助容量用のコモンライン（補助容量配線）227 をドレイン電極 222 と対向するように形成している。したがって、走査信号線 202 の線幅を小さくしても比較的大きな補助容量を確保でき、結果として反射画素電極 235 と走査信号線 202 との重畳部分の面積が小さくなり、実施形態 1 の場合よりも画素電極形状をより方形に近づけることが可能である。よって、縦縞発生防止の効果も生じる。

【0086】この実施形態においても、下地膜としてのドレイン電極 222 は、基板と反射画素電極形成領域における層間絶縁膜との間の熱伝導等の物理特性を均一にするように、できるだけ反射画素電極に近い形状で形成されている。

【0087】（実施形態 5）本実施形態は、画素電極がストライプ状に配置された構造の場合である。

【0088】図 15 ～図 18 は、本実施形態に係る反射型液晶表示装置のドレイン電極および反射画素電極を示す平面図である。

【0089】図 15 および図 16 は、補助容量部が Cs on Gate の構造の場合であり、図 17 および図 18 はコモンライン 227 を別途形成した場合である。

これらの反射画素電極がストライプ状に配置された構造においても、上述の実施形態と同様にして表示ムラの発生の抑止や欠陥の修正を行うことが可能である。

【0090】（実施形態 6）本実施形態は、ドレイン電極 222 と島状の薄膜とによって、層間絶縁膜の下地膜が構成された場合である。

【0091】図 19 ～図 22 は、本実施形態に係る反射型液晶表示装置のドレイン電極および島状薄膜を示す平面図である。図 19 ～図 21 はコモンライン 227 を別途形成して補助容量を形成した場合、図 22 は Cs on Gate の構造を有する場合を示す。なお、これらの図において反射画素電極は示されていないが、図 16 に示す反射画素電極 235 と同様の形状であってよい。

【0092】図 19 に示すように、ゲート絶縁膜（不図示）上には、下地膜として、ドレイン電極 222 と、ドレイン電極材料と同様の熱伝導特性または光透過特性等を有する材料からなる島状薄膜 301、302、303 とが形成される。これらは、走査信号線 202 とデータ信号線 201 とによって囲まれる領域をできるだけ占有するように設けられている。すなわち、これらの上に層間絶縁膜を介して形成される反射画素電極（不図示）の形状に対応するように、下地膜が形成されている。ただし、島状薄膜 301 ～303 とドレイン電極 222 とは電気的に絶縁されている。すなわち、ドレイン電極のみが接続部分 D において画素電極と導通し、コモンライン 227 と共に補助容量を形成している。

【0093】上述の島状薄膜 301 ～303 は、ドレイン電極の形成工程において、ドレイン電極およびデータ信号線と共に、例えば Ta 薄膜をパターニングすることにより形成されてよい。このように形成することで、余分な工程を設けることなく、かつ、ドレイン電極材料と同じ材料（すなわち同じ物性を有する材料）を用いて島状薄膜 301 ～303 を形成することができる。このようにして形成されたドレイン電極 222 と島状薄膜 301 ～303 とが、その上に形成される層間絶縁膜のため下地膜として機能している。

【0094】図 19 に於いて、例えば、ア点またはイ点で島状薄膜 301 または 302 とデータ信号線 201 との間でショートが発生した場合は、島状薄膜 301 および 302 がドレイン電極と絶縁されているため、上述したような欠陥修正を行わなくとも画素電極に影響を与えることはない。

【0095】また、島状薄膜およびドレイン電極の形状は特定されず、パターニングや密着性が良好になるように、所望の形状に変更してよい。例えば図 19 の島状薄膜 302 のように細長い長方形の形状である場合、密着性が悪く剥がれやすい場合がある。このような不良の発生を防ぐためには、図 20 に示すように、正方形に近い島状薄膜 304 と 305 とを形成するように、ドレイン電極 222 の形状を変更している。

【0096】あるいは、図19の島状薄膜303のように、ドレイン電極と、そのドレイン電極にデータ信号を供給するデータ信号線との間に位置している場合には、図21に示すように、隣接するドレイン電極と一体化させてもよい。その他の島状薄膜306および307のそれぞれは、図19の島状薄膜301および302のそれぞれと実質的に同じ形状である。この場合、ウ点でショートが発生しても、図示するようにゲート電極の根本を切断すれば、特公平3-55985号公報に開示された修正法により、表示不良を改善することが可能である。

【0097】また、図22に示すように、ドレイン電極222を走査信号線202に重ねて補助容量を形成する構成であっても、島状薄膜308を設けることにより、下地膜を形成できる。

【0098】上述のように、層間絶縁膜への影響を一定にするためには、下地膜（ドレイン電極+島状薄膜）の面積が反射画素電極の面積に対して占める割合（占有率）をなるべく大きくすることが望ましい。画素サイズ、層間絶縁膜の材料、プロセス条件等によって異なるが、占有率を40%以上にすることが望ましく、50%以上にすることが更に望ましい。ただし、画素サイズおよびデータ信号線とドレイン電極と島状薄膜のそれぞれの最小抜き精度により決定されるが、パターンング不良の発生を多発させないためには、占有率を90%以下にすることが望ましく、85%未満にすることが更に望ましい。

【0099】このように、本実施形態においては、ドレイン電極のみならず、さらにドレイン電極材料と同様の物性（熱伝導率、光透過、層間絶縁膜との密着性等）を有する材料からなる島状薄膜を用いて層間絶縁膜の下地膜を形成する。ドレイン電極および島状薄膜の形状および配置は任意に決められてよいが、ドレイン電極および島状薄膜が構成する下地膜が、反射画素電極の形状に対応するように形成されていることが望ましい。すなわち、同じ占有率で下地膜を形成する場合にも、反射画素電極の一部の領域のみを下地膜が占有する形態ではなく、反射画素電極全体の領域に平均して分散するように、反射画素電極の形状に対応して下地膜が設けられることが望ましい。このようにすることで、基板と層間絶縁膜との間の熱伝導および／または光透過および／または層間絶縁膜の基板との密着性を、反射画素電極が形成される領域でより均一にすることができる。また、本実施形態のように下地膜を形成することで、ドレイン電極の形状をより可撓性に富んだものとすることも可能である。

【0100】なお、以上の説明では、ドレイン電極またはドレイン電極と島状薄膜とから構成される下地膜をその上に形成される層間絶縁膜に対して、部分的に熱伝導率に違いが発生するのを防止または抑制するために形成している場合を例に挙げているが、本発明はこれに限ら

ない。すなわち、層間絶縁膜の材料に拘らず、例えば感光性材料や非感光性の材料を用いる場合において、上表面を凹凸にしたり平坦にしたりする場合でも、層間絶縁膜における下地膜が存在する箇所と下地膜が存在しない箇所との紫外線の受ける強さ、現像液などの染み込みなどの各条件を揃えることが可能になることはもちろんのこと、層間絶縁膜の前記両箇所での高さを揃えたり、層間絶縁膜の膜質も均一にすることが可能となるため、下地からの影響による画素電極の形状変動を受け難くすることができる。

【0101】以下に、このことを詳述する。ここで、層間絶縁膜の材料に感光性材料を使用し、かつ層間絶縁膜を平坦にする場合を例に挙げて説明する。

【0102】図23(a)は、本発明とは異なり、ドレイン電極のみを用いて下地膜を形成し、且つ、このドレイン電極の面積が反射画素電極の面積に対して占める割合が小さい場合における層間絶縁膜の近傍を示す断面図である。層間絶縁膜234の下には、従来と同様の大きさのドレイン電極222が設けられるが、ドレイン電極222が小さいので、ドレイン電極222で覆われない箇所にはゲート絶縁膜240等が存在することとなる。

【0103】この構成において、層間絶縁膜234が感光性材料（例えば感光性樹脂）からなり、その上から光、例えば紫外線が照射されるとすると、ドレイン電極222とゲート絶縁膜240との材質の相違（屈折率や反射率）、例えばTiからなるドレイン電極222とSiNからなるゲート絶縁膜240との材質の相違により、ドレイン電極222と層間絶縁膜234との境界での反射特性と、ゲート絶縁膜240と層間絶縁膜234との境界での反射特性とが、異なったものとなる。よって、紫外線が、ドレイン電極222が下地として存在する領域に照射される場合にはドレイン電極222で反射されて、層間絶縁膜234に2回の光透過が起こることに対し、ゲート絶縁膜240が下地として存在する領域に紫外線が照射される場合は、例えば光が1回透過するだけである。このため、図23(a)の点々部に示すように、得られた層間絶縁膜234の硬化状態が不均一となるため、ドレイン電極222の上の層間絶縁膜234の膜質が他の部分とは異なってしまう。また、この状態で、現像液に浸けると、図23(b)に示すように現像液の染み込み状態がドレイン電極222の上の層間絶縁膜234部分と他の部分とで異なり、ドレイン電極222の上の層間絶縁膜234の表面が崩れたりする。更に、図23(c)に示すよう、その上に反射画素電極235を形成すると、層間絶縁膜234の表面形状が反映されて、ドレイン電極222上の層間絶縁膜234（点々部）の上面が削れているため、ここで反射する光が散乱する。このため、表示全体として白濁した部分が生じて不良となる。

【0104】また、ドレイン電極が本発明とは異なって

小さい場合は、図 2 3 (d) に示すように、層間絶縁膜 2 3 4 の材料が感光性材料でなく、また、ドレイン電極 2 2 2 に I T O を使用し、ゲート絶縁膜 2 4 0 に S i N を使用してドレイン電極 2 2 2 とゲート絶縁膜 2 4 0 との屈折率が同じ程度であるときであっても、以下のような悪影響が及ぶこととなる。つまり、図 2 3 (e) に示すように、層間絶縁膜 2 3 4 の残すべき箇所の上にレジストを形成し、その状態でエッチングを行うと、ドレイン電極 2 2 2 と層間絶縁膜 2 3 4 との間の密着性と、ゲート絶縁膜 2 4 0 と層間絶縁膜 2 3 4 との間の密着性が異なり、密着性の悪い境界部分にエッチング液が染み込み、その結果として、図 2 3 (f) に示すように、ドレイン電極 2 2 2 の上では残っても、破線で示す箇所の残すべき部分が消失してしまうという欠点がある。

【0 1 0 5】これに対して、本発明は、層間絶縁膜と基板との間の熱伝導および／または光透過および／または層間絶縁膜の基板との密着性を反射画素電極が形成される領域で均一にするための下地膜が層間絶縁膜の下に接して形成されているため、層間絶縁膜の材料に拘らず、例えば感光性材料や非感光性の材料を用いる場合において、上表面を凹凸にしたり平坦にしたりする場合でも、層間絶縁膜におけるドレイン電極が存在する箇所とドレイン電極が存在しない箇所との紫外線の受ける強さ、現像液などの染み込みなどの各条件を揃えることが可能になることはもちろんのこと、層間絶縁膜の前記両箇所での高さを揃えたり、層間絶縁膜の膜質も均一にすることが可能となるため、下地からの影響による画素電極の形状変動を受け難くすることができる。

【0 1 0 6】

【発明の効果】以上のように、本発明によれば、層間絶縁膜と基板との間の熱伝導および／または光透過および／または層間絶縁膜の基板との密着性を反射画素電極が形成される領域で均一にするための下地膜が層間絶縁膜の下に接して形成されているので、部分的に熱伝導率に違いが発生するのを防止、または抑制することが可能となり、その結果、下地膜の上側に設けられる層間絶縁膜の上表面を所望の凹凸形状にすることができ、その上の反射画素電極も所望の凹凸形状にすることが可能となつて、反射特性にムラが発生しないようにすることができる。また、層間絶縁膜の材料に、例えば感光性材料や非感光性の材料を用いたり、上表面を凹凸にしたり平坦にしたりする場合でも、層間絶縁膜におけるドレイン電極が存在する箇所とドレイン電極が存在しない箇所との紫外線の受ける強さ、現像液などの染み込みなどの各条件を揃えることが可能になることはもちろんのこと、層間絶縁膜の両箇所での高さを揃えたり、層間絶縁膜の膜質も均一にすることが可能となるため、下地からの影響による画素電極の形状変動を受け難くすることができる。

【0 1 0 7】また、本発明の反射型液晶表示装置においては、画素電極が金属等からなるため、画素電極の下方

部の構成は表示に影響されないので、反射画素電極の下方部の欠陥を表示モードに拘らず修正することができ、量産効率良く反射型液晶表示装置を製造することが可能となる。

【図面の簡単な説明】

【図 1】実施形態 1 に係る反射型液晶表示装置を示す断面図である。

【図 2】図 1 の反射型液晶表示装置に備わった T F T 部分を拡大して示す断面図である。

【図 3】図 1 の反射型液晶表示装置に備わった、デルタ配列の 2 画素部分の T F T、ドレイン電極、データ信号線および走査信号線を示す平面図である。

【図 4】図 3 に反射画素電極を更に加えて示す平面図である。

【図 5】図 1 の反射型液晶表示装置における層間絶縁膜の形成工程を示す断面図である。

【図 6】図 1 の反射型液晶表示装置における層間絶縁膜の形成の際に用いるフォトリソマスクを示す平面図である。

【図 7】図 1 の反射型液晶表示装置と対比される、本発明を適用することができる他の構成の反射型液晶表示装置を示す平面図である。

【図 8】実施形態 2 に係る反射型液晶表示装置を示す断面図である。

【図 9】実施形態 3 に係る反射型液晶表示装置に備わった T F T、ドレイン電極、データ信号線および走査信号線を示す平面図である。

【図 1 0】図 9 に反射画素電極を更に加えて示す平面図である。

【図 1 1】実施形態 4 に係る反射型液晶表示装置に備わった T F T、ドレイン電極、データ信号線および走査信号線を示す平面図である。

【図 1 2】図 1 1 に反射画素電極を更に加えて示す平面図である。

【図 1 3】実施形態 4 に係る他の反射型液晶表示装置に備わった T F T、ドレイン電極、データ信号線および走査信号線を示す平面図である。

【図 1 4】図 1 3 に反射画素電極を更に加えて示す平面図である。

【図 1 5】実施形態 5 に係る反射型液晶表示装置に備わった T F T、ドレイン電極、データ信号線および走査信号線を示す平面図である。

【図 1 6】図 1 5 に反射画素電極を更に加えて示す平面図である。

【図 1 7】実施形態 5 に係る他の反射型液晶表示装置に備わった T F T、ドレイン電極、データ信号線および走査信号線を示す平面図である。

【図 1 8】図 1 7 に反射画素電極を更に加えて示す平面図である。

【図 1 9】実施形態 6 に係る反射型液晶表示装置の有するドレイン電極、島状薄膜の一例を示す平面図である。

【図 2 0】実施形態 6 に係る反射型液晶表示装置の有するドレイン電極、島状薄膜の一例を示す平面図である。

【図 2 1】実施形態 6 に係る反射型液晶表示装置の有するドレイン電極、島状薄膜の一例を示す平面図である。

【図 2 2】実施形態 6 に係る反射型液晶表示装置の有するドレイン電極、島状薄膜の一例を示す平面図である。

【図 2 3】本発明の作用および効果の説明に用いる図(断面図)である。

【図 2 4】(a) は従来の液晶表示装置を示す平面図、(b) はその一部を示す断面図である。

【図 2 5】従来の他の液晶表示装置を示す平面図である。

【図 2 6】図 2 5 の液晶表示装置の回路を示す図である。

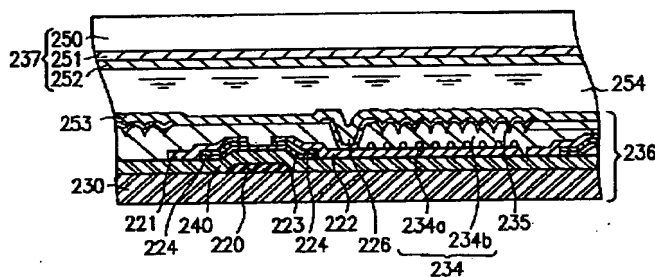
【図 2 7】(a) は従来の更に他の液晶表示装置を示す平面図であり、(b) はそのトランジスタ部分を示す断面図である。

【符号の説明】

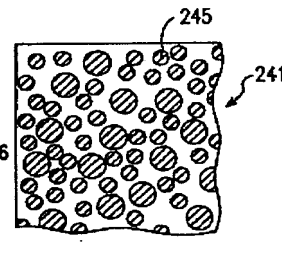
201 データ信号線
202 走査信号線
220 ゲート電極
221 ソース電極
222 ドレイン電極

222a 電極非形成部
223 半導体層
224 コンタクト層
226 コンタクトホール
227 コモンライン (補助容量配線)
230 第 1 基板
234 層間絶縁膜
234a 凹凸部
234b 絶縁膜
10 235 反射画素電極
236 アクティブマトリクス基板
237 対向基板
240 ゲート絶縁膜
250 第 2 基板
251 透明電極
252 配向膜
253 配向膜
254 液晶層
255 光学位相差板
20 256 偏光板
301、302、303、304、305、306、307、308 島状薄膜

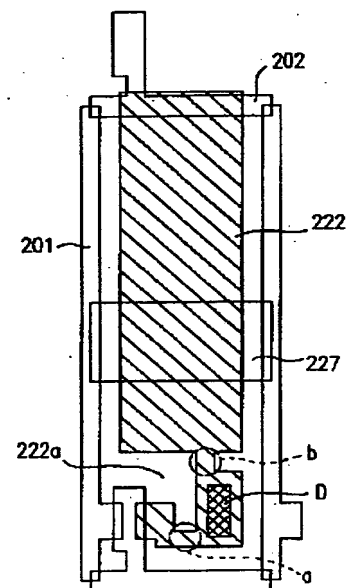
【図 1】



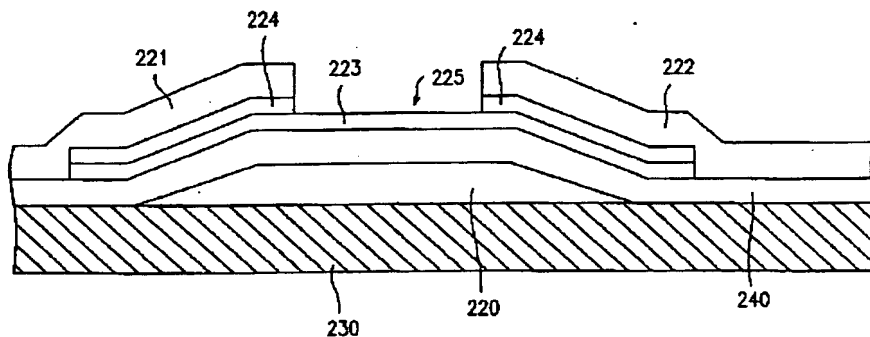
【図 6】



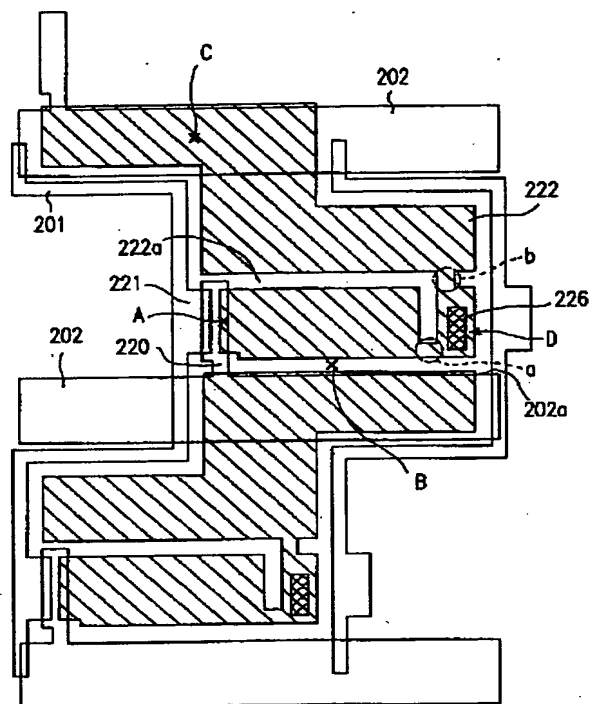
【図 17】



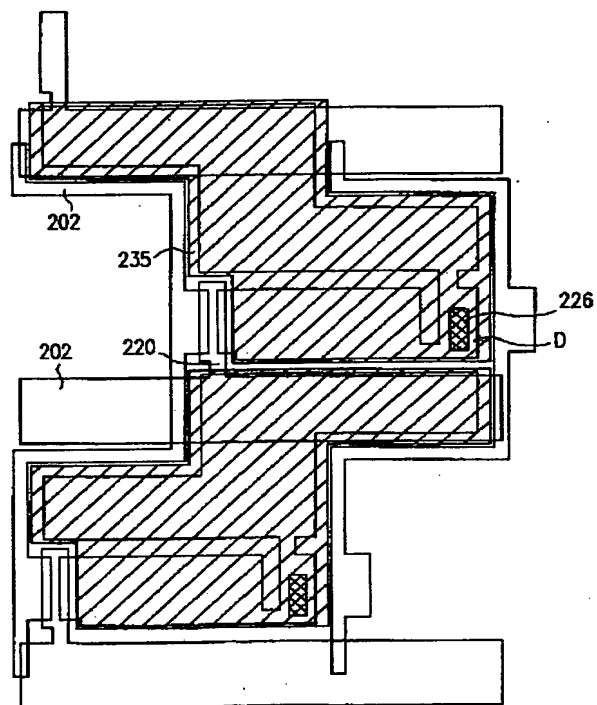
【図 2】



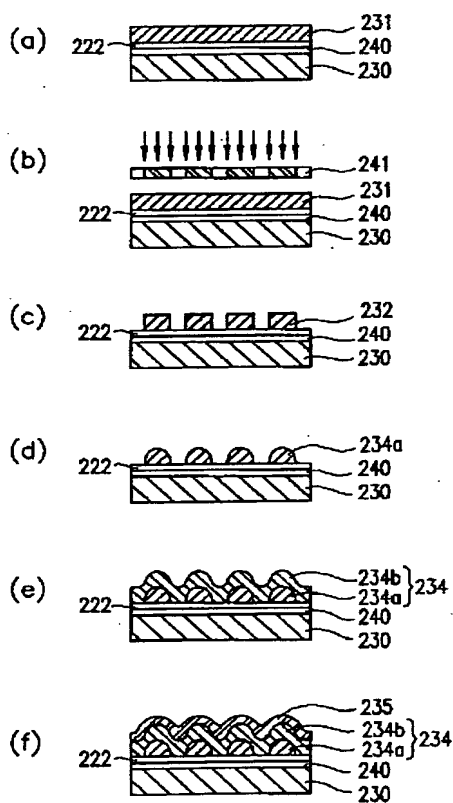
【図 3】



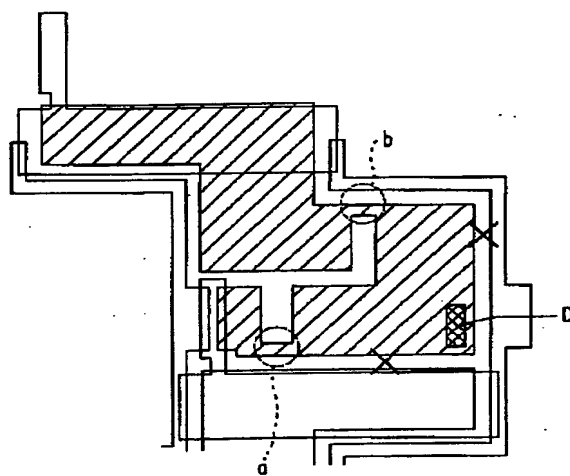
【図 4】



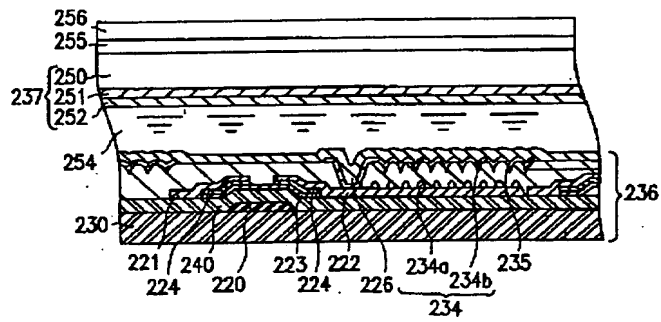
【図 5】



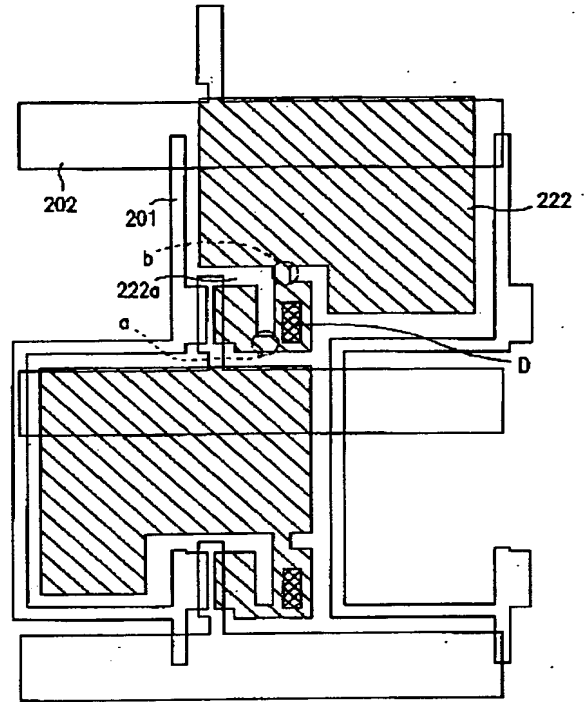
【図 7】



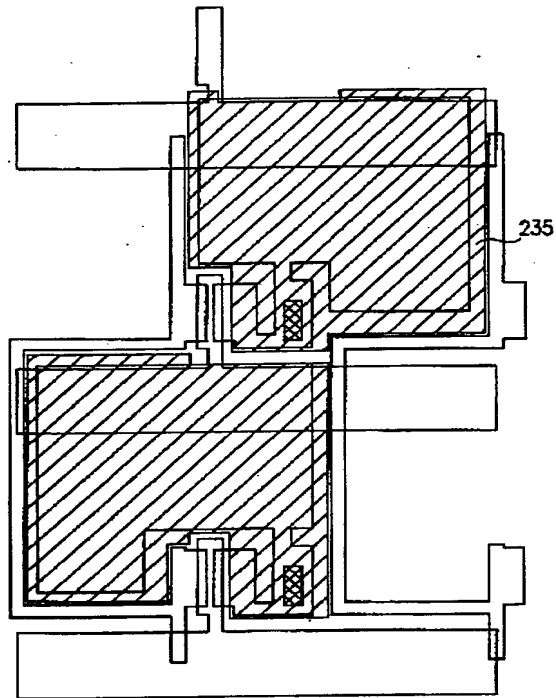
【図 8】



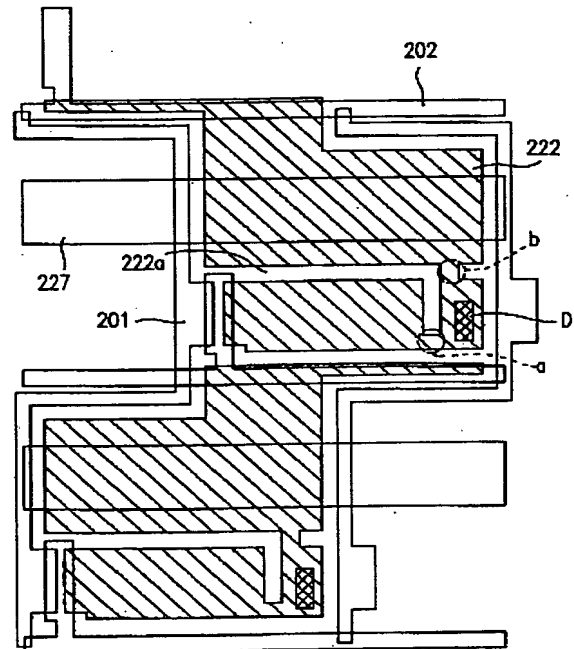
【図 9】



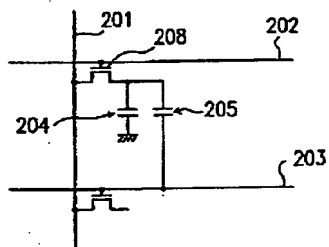
【図 10】



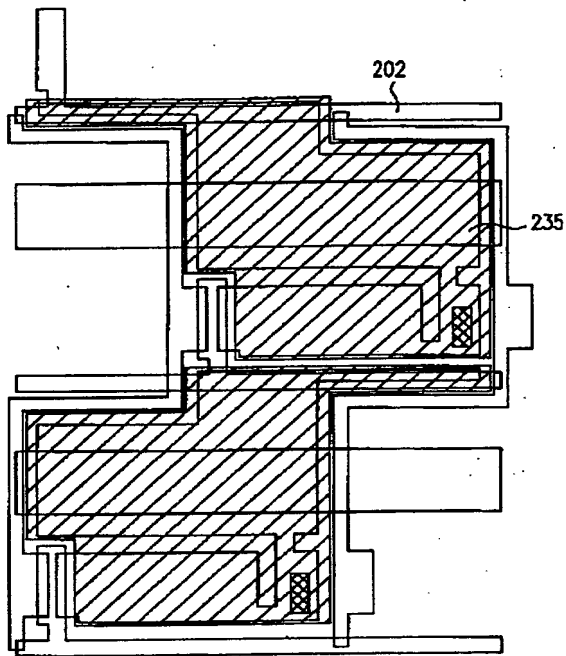
【図 11】



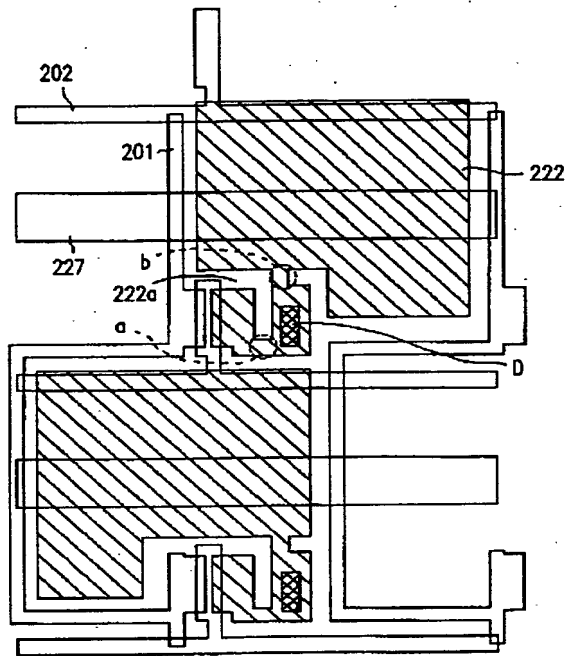
【図 26】



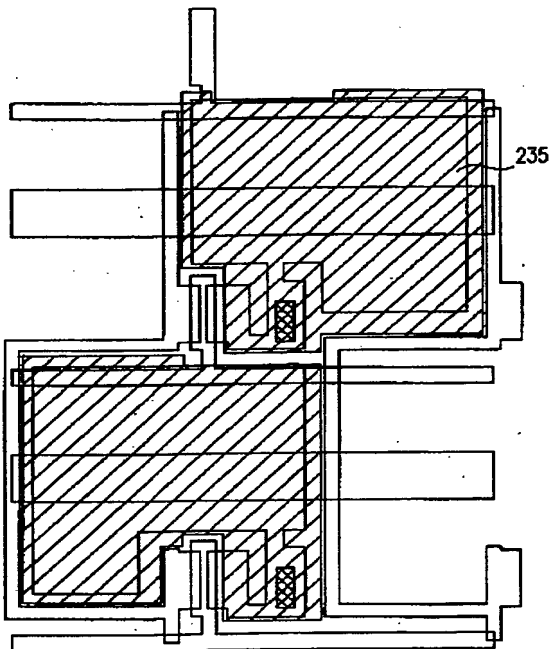
【図 1 2】



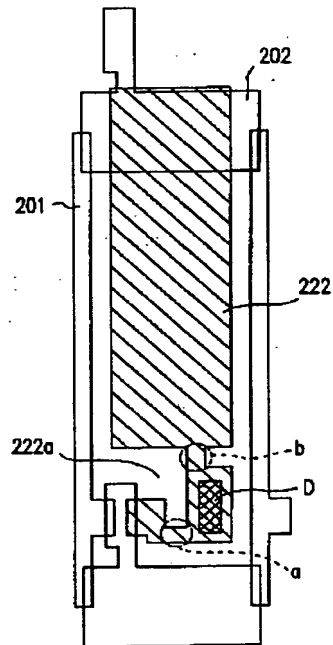
【図 1 3】



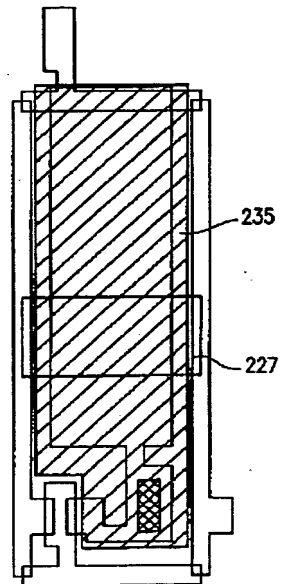
【図 1 4】



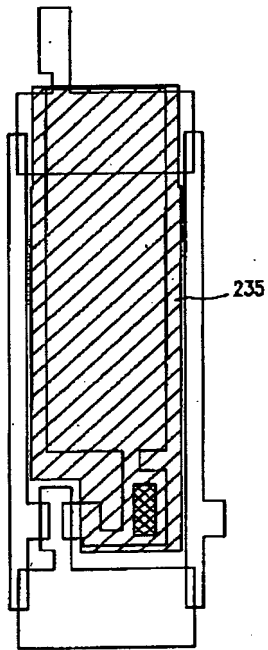
【図 1 5】



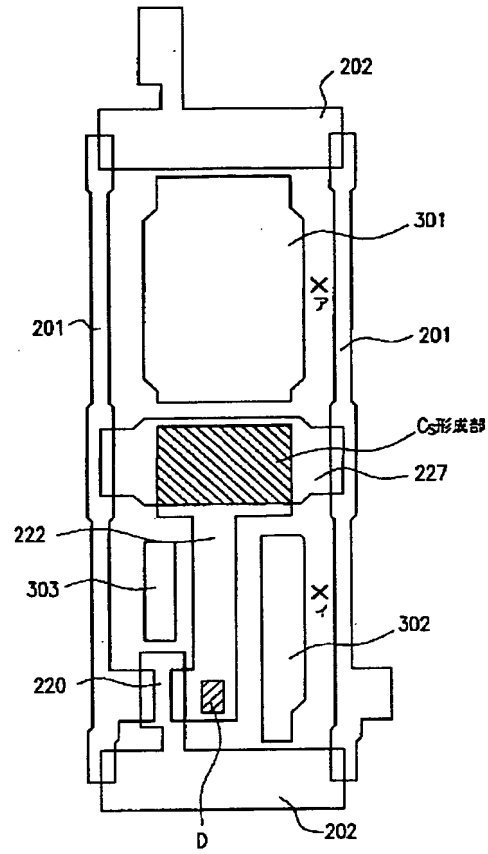
【図 1 8】



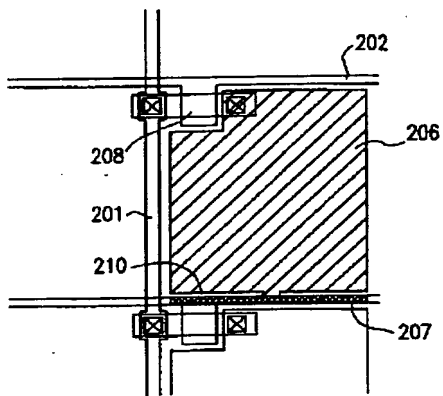
【図 1 6】



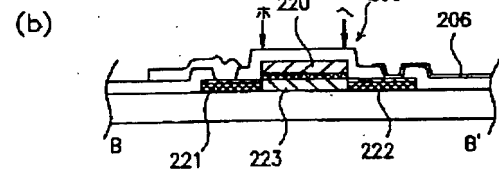
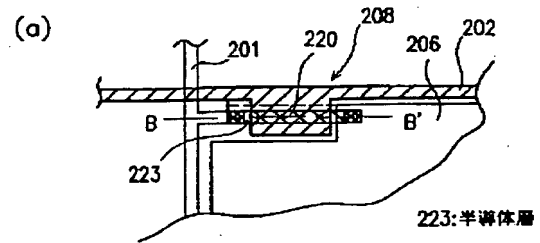
【図 1 9】



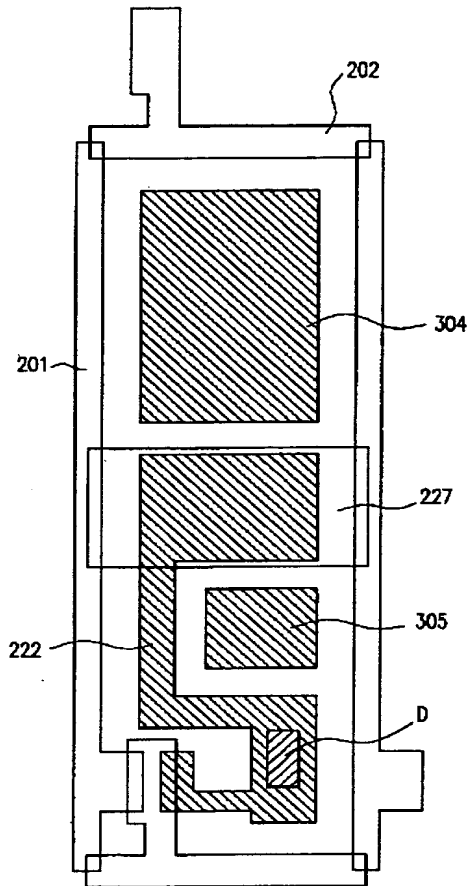
【図 2 5】



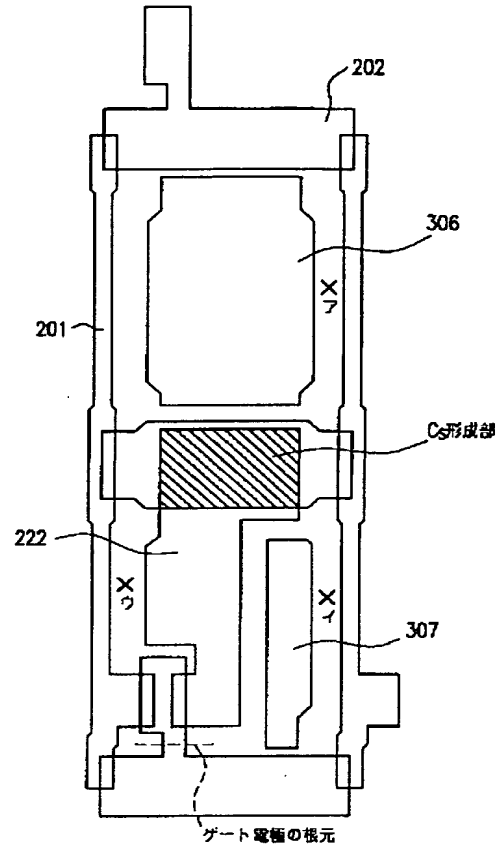
【図 2 7】



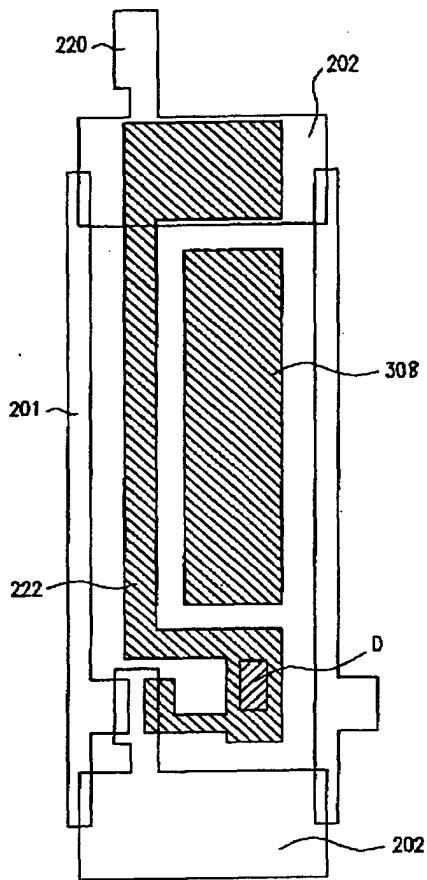
【図 2 0】



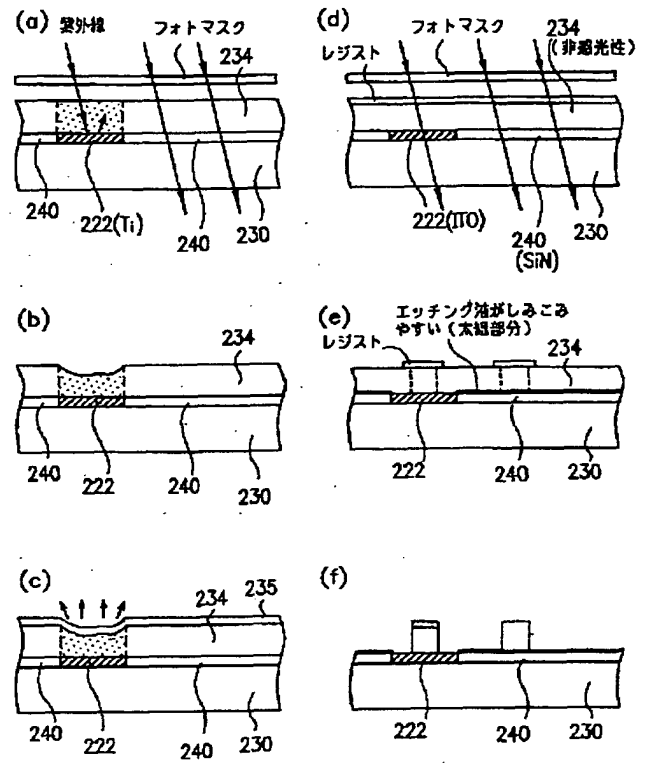
【図 2 1】



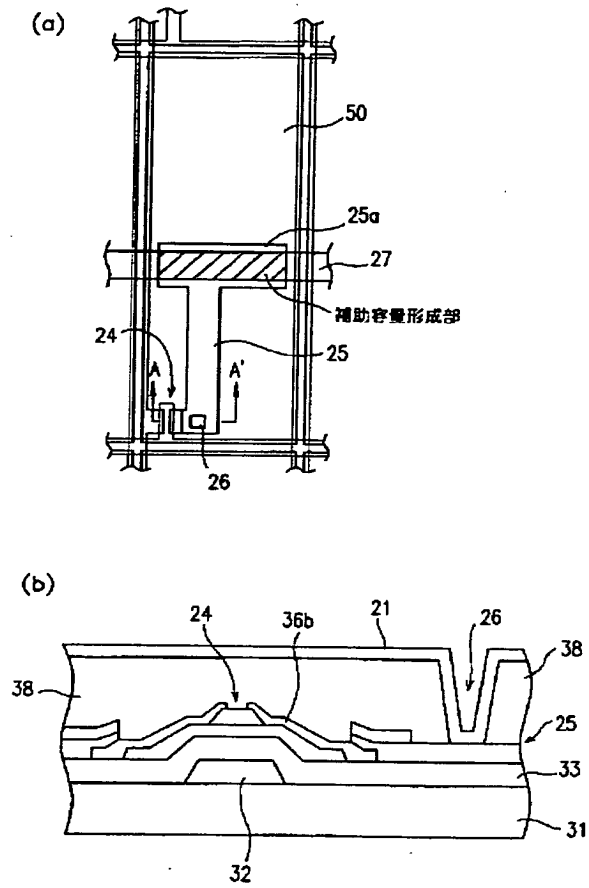
【図 2 2】



【図 2 3】



【図 2 4】



フロントページの続き

(72)発明者 伴 真理子
 大阪府大阪市阿倍野区長池町22番22号 シ
 ャープ株式会社内